

542727

Rec'd PCT/PTO 20 JUL 2005

(12)特許協力条約に基づいて公開された国際

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 8 月 5 日 (05.08.2004)

PCT

(10) 国際公開番号
WO 2004/066499 A1

- (51) 国際特許分類: H03K 19/00
- (21) 国際出願番号: PCT/JP2003/000403
- (22) 国際出願日: 2003 年 1 月 20 日 (20.01.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP). 株式会社日立超エル・エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本町 5 丁目 2 番 1 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 能登 隆行 (NOTO, Takayuki) [JP/JP]; 〒187-8588 東京都小平市上水本町 5 丁目 2 番 1 号 株式会社日立製作所半導体グループ内 Tokyo (JP). 佐藤 点 (SATO, Tomoru)

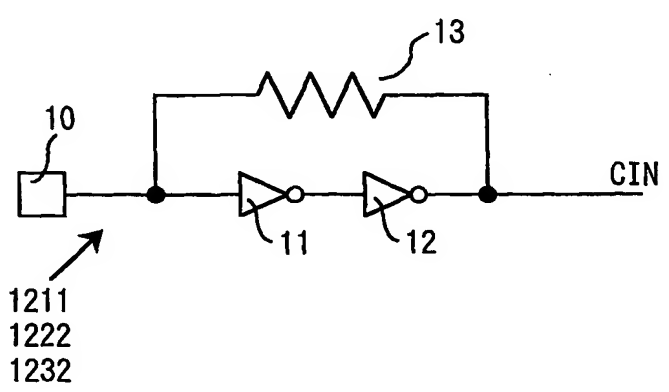
- [JP/JP]; 〒187-8588 東京都小平市上水本町 5 丁目 2 番 1 号 株式会社日立製作所半導体グループ内 Tokyo (JP). 山内 裕之 (YAMAUCHI, Hiroyuki) [JP/JP]; 〒187-8522 東京都小平市上水本町 5 丁目 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP).
- (74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒101-0052 東京都千代田区神田小川町 2 丁目 1 0 番地新山城ビル 4 2 号 Tokyo (JP).
- (81) 指定国 (国内): CN, JP, KR, SG, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR).

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



(57) Abstract: A semiconductor integrated circuit having an input circuit for acquiring a signal and an output circuit for outputting a signal. The input circuit is set so that an input impedance at input signal transition is smaller than an input impedance of other than the input signal transition. The output circuit is set so that a drive force at the latter half of the signal transition is lower than a drive force at the first half of the transition. Since the input impedance at the input signal transition is set smaller than the input impedance of other than the input signal transition, the reflection wave at the input signal transition is reduced. Moreover, since the drive force at the latter half of the signal transition is set lower than the drive force at the first half of the transition, generation of the reflection wave at the latter half of the signal transition is suppressed. This eliminates the need of external parts such as a dumping resistor and a terminating resistor for impedance matching.

(57) 要約: 信号を取り込むための入力回路と、信号を出力するための出力回路とを含む半導体集積回路において、上記入力回路は、入力信号遷移時の入力インピーダンスが、入力信号遷移時以外に入力インピーダンスよりも小さくなるように設定され、上記出力回路は、信号遷移の後半での駆動力が遷移の前半での駆動力よりも低めに設定される。入力信号遷移時の入力インピーダンスが、入力信号遷移時以外に入力インピーダンスよりも小さくなるように設定することは、入力信号遷移時における反射波を低減する。また、信号遷移の後半での駆動力が遷移の前半での駆動力よりも低めに設定することは、信号遷移の後半での反射波の発生を抑える。これにより、インピーダンス整合のためのダンピング抵抗や終端抵抗などの外付け部品を不要とする。

WO 2004/066499 A1

明 細 書

半導体集積回路

5 技術分野

本発明は、半導体集積回路、さらにはそれに含まれる入力回路や出力回路の改良技術に関する。

背景技術

- 10 一般に100MHzを越えるような信号伝送路では、出力バッファと配線インピーダンスとの不整合による反射があるため、単に出力バッファの駆動力を強くするだけでは、反射によるリングングが発生し、論理値を反転させるなどの誤動作が発生する。このため、基板上で出力バッファ及び配線のインピーダンス整合をとれるようにダンピング抵抗の
15 個数や配置方法についての検討が行われている。

- 半導体集積回路において、外部信号をチップ内に取り込むための入力バッファ回路や、信号をチップ外に出力するための出力バッファ回路が設けられる。バッファ回路について記載された文献として、特開平5-14169号公報、特開平3-62723号公報、及び特開平3-24
20 2020号公報を挙げることができる。

- 特開平5-14169号公報によれば、電流駆動能力が異なる複数の駆動用PMOSトランジスタと、電流駆動能力が異なる複数の駆動用PMOSトランジスタと電流駆動能力が異なる複数のNMOSトランジスタとをCMOSインバータ構成に接続してなる駆動回路部の出力電
25 位を、論理しきい値電圧の異なる二つのセンス用インバータでセンスし、それぞれのセンス用インバータから出力信号と外部からの入力信号と

によって、駆動用MOSトランジスタを選択し、駆動回路部の出力電位がスイッチングする時に、そのスイッチングの前期においては、電流駆動能力が大きいMOSトランジスタで負荷を駆動し、スイッチングの後期においては、電流駆動能力が小さいMOSトランジスタで負荷を駆動

5 するようにすることで、バッファ回路の動作に伴って発生する電源線やグランド線の電位変動を起こり難くするための技術が記載されている。

また、特開平3-62723号公報によれば、入力信号に従って信号伝送路の特性インピーダンスを駆動すると共に、上記信号伝送路の特性インピーダンスに等しい出力インピーダンスを有する相補対接続され

10 た第1及び第2トランジスタからなる第1の出力回路と、出力端が上記信号伝送路に接続され、相補対接続された第3及び第4のトランジスタからなる第2の出力回路と、上記入力信号の変化時のみ上記第2の出力回路を動作状態にする制御回路とを設けることにより、オーバーシュートやアンダーシュートの発生を抑えるための技術が記載されている。

さらに、特開平3-242020号公報によれば、互いに電圧レベルの異なる二つの電圧源の間に直列に接続され信号伝送路の特性インピーダンスに等しい出力インピーダンスを有する第1トランジスタ及び第2トランジスタと、入力信号に基づいて上記第1トランジスタと上記第2トランジスタとを相対的に切り換える制御信号を発生させる制御

15 部と、上記第1トランジスタと上記第2トランジスタとの間に設けられた出力ノードとを備える出力バッファにおいて、前記第1トランジスタ及び上記第2トランジスタとそれぞれ並列に接続された第3トランジスタと、前記第1トランジスタと同時に上記第3トランジスタをオンさせ、上記第3トランジスタのオンからオフまでの時間を規定する第1経

20 時手段と第1電圧検出手段とにより出力ノード電圧が高電圧レベルに達する直前に上記第3トランジスタをオフさせる第1補助制御部と、助

25

雪第2トランジスタと同時に上記第4トランジスタをオンさせ上記第4トランジスタのオンからオフまでの時間を規定する第2経時手段と第2電圧検出手段により出力ノード電圧が定電圧レベルに達する直前に上記第4トランジスタをオフさせる第2補助制御部とを設けることにより、出力点におけるオーバーシュートやアンダーシュートの低減を図るための技術が記載されている。

高速信号伝送のためには出力バッファの駆動力上げ、配線負荷を早くする必要があるが、出力バッファの駆動力を上げて配線とのインピーダンス不整合が起きると、信号反射による誤動作発生する。このため、出力バッファの駆動力を上げて、基板上では、ダンピング抵抗を挿入してインピーダンス整合をとるための基板設計が必要とされる。

また、入力側においても、インピーダンス整合をとるためにダンピング抵抗付加や終端抵抗の付加などが必要とされる。基板設計では、ダンピング抵抗の個数や配置について、個々の基板毎に検討が必要であり、基板設計に要する時間を増大させるとともに、基板上の部品点数の増大や、部品点数の増大を招くことが、本願発明者によって見いだされた。また、上記従来技術においては、信号の入力回路の構成については考慮されていない。

本発明の目的は、簡単な構成により伝送路の反射を低減するための技術を提供することにある。

本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

すなわち、信号を取り込むための入力回路と、信号を出力するための出力回路と、を含む半導体集積回路であって、上記入力回路は、入力信号遷移時の入力インピーダンスが、入力信号遷移時以外の入力インピーダンスよりも小さくなるように設定され、上記出力回路は、信号遷移の
5 前半での駆動力が遷移の後半での駆動力よりも高めに設定されて成る。

上記の手段によれば、上記入力回路は、入力信号遷移時の入力インピーダンスが、入力信号遷移時以外の入力インピーダンスよりも小さくなるように設定されることにより、入力信号遷移時における反射波を低減する。また、上記出力回路において、信号遷移の後半での駆動力が遷移
10 の前半の駆動力よりも低めに設定されることで、反射波の発生を抑えることができる。このように反射波が低減されることにより、インピーダンス整合のためのダンピング抵抗や終端抵抗などの外付け部品が不要とされる。

上記入力回路と上記出力回路とは、信号の入出力を可能とするパッド
15 に共通接続することができる。

入力パッドと、上記入力パッドを介して外部からの信号を取り込むための入力回路とを含んで半導体集積回路が構成されるとき、上記入力回路は、入力信号遷移時の入力インピーダンスが、入力信号遷移時以外
20 の入力インピーダンスよりも小さくなるように調整可能な動的終端抵抗回路を設ける。

上記動的終端抵抗回路は、上記入力パッドを介して伝達された信号の論理を反転するための第1論理回路と、上記第1論理回路の出力信号の論理を反転するための第2論理回路と、上記第1論理回路の入力端子と
25 上記第2論理回路の出力端子とを結合可能な抵抗と、を含んで構成することができる。

上記動的終端抵抗回路は、上記入力パッドを介して伝達された信号の

論理を反転するための第 1 論理回路と、上記第 1 論理回路の出力信号の論理を反転するための第 2 論理回路と、上記第 1 論理回路の入力端子と上記第 2 論理回路の出力端子とを結合可能な抵抗と、上記第 1 論理回路の出力信号を内部回路へ伝達するための第 3 論理回路と、を含んで構成
5 することができる。

上記抵抗の回路動作への関与を制御可能なスイッチ回路を設けることができる。

上記動的終端抵抗回路は、上記入力パッドを介して伝達された信号の論理を反転するための第 1 論理回路と、上記第 1 論理回路の出力信号の
10 論理を反転するための第 2 論理回路と、上記第 1 論理回路の入力端子と上記第 2 論理回路の出力端子とを結合可能な複数の抵抗と、上記複数の抵抗を選択的に回路動作に関与させるためのスイッチ回路と、を含んで構成することができる。

内部回路と、上記内部回路の出力信号を外部出力可能な出力回路とを含んで半導体集積回路が構成されるとき、上記出力回路は、出力すべき
15 信号の遷移の前半に、上記内部回路の出力信号に基づいて外部負荷を駆動可能な第 1 出力回路と、上記第 1 出力回路に比べて駆動力が小さく設定され、上記外部負荷を駆動可能な第 2 出力回路とを設けることができる。

20 上記外部負荷の電圧レベルに応じて、上記第 1 出力制御回路と上記第 2 出力回路とを選択的に回路動作に関与させるためのレベルモニタ回路を含めることができる。

上記第 2 出力回路は、高電位側電源側に配置された n チャネル型トランジスタと、低電位側電源側に配置された p チャネル型トランジスタとの直列接続回路を含むとき、n チャネル型トランジスタと p チャネル型
25 トランジスタとの直列接続ノードを上記第 1 出力回路の出力ノードに

結合する。

入力信号遷移時の入力インピーダンスが、入力信号遷移時以外の入力インピーダンスよりも小さくなるように設定された入力部と、信号遷移の後半での駆動力が遷移の前半での駆動力よりも低めに設定されて成る出力部とを含んで半導体集積回路が形成されるとき、上記出力部は、出力すべき信号の遷移の前半に、上記内部回路の出力信号に基づいて外部負荷を駆動可能な第 1 出力回路と、上記第 1 出力回路に比べて駆動力が小さく設定され、上記外部負荷を駆動可能な第 2 出力回路とを含み、上記第 2 出力回路は、高電位側電源側に配置された n チャンネル型トランジスタと、低電位側電源側に配置された p チャンネル型トランジスタとの直列接続回路とを含み、上記 n チャンネル型トランジスタと p チャンネル型トランジスタとの直列接続ノードが上記第 1 出力回路の出力ノードとともに上記入出力パッドに共通接続し、上記直列接続回路は上記入力部の一部として共用する。

15 図面の簡単な説明

第 1 図は、本発明にかかる半導体集積回路に含まれる入力回路の構成例回路図である。

第 2 図は、上記入力回路の別の構成例回路図である。

第 3 図は、上記入力回路の別の構成例回路図である。

20 第 4 図は、上記入力回路の別の構成例回路図である。

第 5 図は、上記半導体集積回路に含まれる出力回路の構成例回路図である。

第 6 図は、上記出力回路における主要部の構成例回路図である。

第 7 図は、上記出力回路における主要部の構成例回路図である。

25 第 8 図は、上記出力回路の別の構成例回路図である。

第 9 図は、上記半導体集積回路に含まれる入出力回路の構成例回路図

である。

第 1 0 図は、上記半導体集積回路に含まれる入出力回路の別の構成例回路図である。

5 第 1 1 図は、上記半導体集積回路に含まれる入出力回路の別の構成例回路図である。

第 1 2 図は、上記半導体集積回路が搭載されたボードシステムの構成例説明図である。

第 1 3 図は、第 5 図に示される回路の特性図である。

第 1 4 図は、第 8 図に示される回路の特性図である。

10 第 1 5 図は、上記半導体集積回路を従来例と比較するための特性図である。

第 1 6 図は、上記半導体集積回路を従来例と比較するための特性図である。

15 発明を実施するための最良の形態

第 1 2 図には、本発明に係る半導体集積回路が搭載されたボードシステムが示される。

20 第 1 2 図に示されるボードシステム 1 2 は、特に制限されないが、3 個の半導体集積回路 1 2 1, 1 2 2, 1 2 3 が単一のボードに搭載されて成る。半導体集積回路 1 2 1, 1 2 2, 1 2 3 は、それぞれ公知の半導体集積回路製造技術により単結晶シリコン基板などの一つの半導体基板に形成され、ボード上に形成されたプリント配線を介して信号のやり取りが可能に結合されている。

25 半導体集積回路 1 2 1 は、特に制限されないが、外部から信号を取り込むための入力回路 1 2 1 1、信号を外部に出力するための出力回路 1 2 1 2、外部との間で信号のやり取りを可能とする入出力回路 1 2 1 3

を含む。

半導体集積回路 1 2 2 は、特に制限されないが、信号を外部に出力するための出力回路 1 2 2 1、外部から信号を取り込むための入力回路 1 2 2 2、外部との間で信号のやり取りを可能とする入出力回路 1 2 2 3
5 を含む。

半導体集積回路 1 2 3 は、特に制限されないが、信号を外部に出力するための出力回路 1 2 3 1、外部から信号を取り込むための入力回路 1 2 3 2、外部との間で信号のやり取りを可能とする入出力回路 1 2 3 3
を含む。

10 半導体集積回路 1 2 1，1 2 2，1 2 3 は、伝送路の反射を抑えるための工夫がなされており、そのために、ダンピング抵抗や終端抵抗の外付けは不要とされている。

次に、半導体集積回路 1 2 1，1 2 2，1 2 3 に含まれる入力回路 1 2 1 1，1 2 2 2，1 2 3 2 の構成例について説明する。

15 第 1 図には、上記入力回路 1 2 1 1，1 2 2 2，1 2 3 2 の構成例が示される。

第 1 図に示されるように、上記入力回路 1 2 1 1，1 2 2 2，1 2 3 2 は、入力パッド 1 0 を介して取り込まれた信号の論理を反転する第 1 インバータ 1 1 と、この第 1 インバータ 1 1 から出力された信号の論理を反転する第 2 インバータ 1 2 と、上記第 1 インバータ 1 1 の入力端子と上記第 2 インバータ 1 2 の出力端子とを結合する抵抗 1 3 とを含む。
20 上記第 2 インバータ 1 2 の出力信号は、図示しない内部回路へ伝達される。上記抵抗 1 3 の値は、第 1 2 図に示されるボードシステム 1 2 におけるプリント配線の抵抗値にほぼ等しくされる。

25 入力パッド 1 0 を介して取り込まれた入力信号が遷移される直前までは、第 1 インバータ 1 1 の入力端子における論理と、第 2 インバータ

- 1 2 の出力端子における論理とが等しい。ここで、第 1 インバータ 1 1 の入力端子における論理と、第 2 インバータ 1 2 の出力端子の論理をローレベルとする。この状態で、入力パッド 1 0 を介して取り込まれた入力信号がローレベルからハイレベルに遷移される場合を考える。入力パ
- 5 ッド 1 0 を介して取り込まれた入力信号がローレベルからハイレベルに遷移されるとき、第 1, 第 2 インバータ 1 1, 1 2 での信号遅延により、第 2 インバータ 1 2 の出力端子がローレベルからハイレベルに遷移されるタイミングが遅れる。この遅延により、入力パッド 1 0 での入力信号がローレベルからハイレベルに遷移されるときには、第 2 インバー
- 10 タ 1 2 の出力端子がローレベルのままとされており、この場合、入力パッド 1 0 から見たインピーダンスは、第 1 インバータ 1 1 の入力インピーダンスと抵抗 1 3 との並列合成抵抗値にほぼ等しくなる。従って、このとき、入力パッド 1 0 から見たインピーダンスは、第 1 2 図に示されるボードシステム 1 2 におけるプリント配線の抵抗値にほぼ等しくな
- 15 り、インピーダンスが整合される。そして、第 2 インバータ 1 2 の出力端子がローレベルからハイレベルに遷移されると、第 1 インバータ 1 1 の入力端子と第 2 インバータ 1 2 の出力端子との論理が互いに等しくなるため、入力パッド 1 0 から見たインピーダンスは、第 1 インバータ 1 1 の入力インピーダンスにほぼ等しくなり、高インピーダンス状態と
- 20 される。尚、入力パッドを介して取り込まれた入力信号が、ハイレベルからローレベルに遷移される場合にも、その遷移の途中では、抵抗 1 3 が機能されることから、入力パッドを介して取り込まれた入力信号がローレベルからハイレベルに遷移される場合と同様の作用効果が得られる。
- 25 このように、入力信号遷移の過渡期には、入力インピーダンスが、第 1 2 図に示されるボードシステム 1 2 におけるプリント配線の抵抗値

にほぼ等しくされることでインピーダンスが整合されることから、伝送路に出力された信号が入力回路で反射されることに起因する反射波が低減される。また、入力信号の遷移時以外においては、入力インピーダンスが高くされることにより、そこでの直流電流の消費が低く抑えられる。上記反射波が抑えられることにより、ダンピング抵抗や終端抵抗は不要とされる。

第2図には、上記入力回路1211, 1222, 1232の別の構成例が示される。第2図に示される構成が第1図に示されるのと大きく相違するのは、インバータ11の出力信号の論理を反転するためのインバータ15を設け、このインバータ15を介して内部回路へ信号CINを伝達するようにした点である。かかる構成によれば、インバータ12の出力端子側に寄生容量14が存在しても、インバータ12, 15の存在によって隔絶されるため、寄生容量14によって内部回路が影響されないで済む。

第3図には、上記入力回路1211, 1222, 1232の別の構成例が示される。

第3図に示される構成が第1図に示されるのと大きく相違するのは、抵抗13と、第2インバータ12の出力端子との間に、pチャネル型MOSトランジスタ31とnチャネル型MOSトランジスタ32とが並列接続されて成るCMOSトランスファゲートが介在される点である。上記nチャネル型MOSトランジスタ32のゲート電極には動的終端制御端子REからの制御信号が伝達される。また、pチャネル型MOSトランジスタ31のゲート電極には、上記動的終端制御端子REからの制御信号がインバータ33を介して伝達される。上記動的終端制御端子REからの動的終端制御信号がハイレベルとされる場合に、pチャネル型MOSトランジスタ31とnチャネル型MOSトランジスタ32と

が導通され、抵抗 13 の一端が第 2 インバータ 12 の出力端子に結合される。上記動的終端制御端子 R E からの動的終端制御信号がローレベルとされる場合には、p チャネル型 MOS トランジスタ 31 と n チャネル型 MOS トランジスタ 32 とが非導通状態とされ、抵抗 13 の回路動作への関与が排除される。動的終端制御端子 R E は外部端子とした場合には、動的終端制御信号をチップ外から供給することができる。

このように第 3 図に示される構成では、動的終端制御端子 R E からの制御信号によって、抵抗 13 を回路動作に関与させるか否かを切り換えることができるので、必要に応じて抵抗 13 を回路動作へ関与させることができる。

第 4 図には、上記入力回路 1211, 1222, 1232 の別の構成例が示される。

第 4 図に示される構成が第 1 図に示されるのと大きく相違するのは、抵抗 13-1, 13-2 が設けられ、抵抗 13-1 と、第 2 インバータ 12 の出力端子との間に、p チャネル型 MOS トランジスタ 31-1 と n チャネル型 MOS トランジスタ 32-1 とが並列接続されて成る CMOS トランスファゲートが介在され、抵抗 13-2 と、第 2 インバータ 12 の出力端子との間に、p チャネル型 MOS トランジスタ 31-2 と n チャネル型 MOS トランジスタ 32-2 とが並列接続されて成る CMOS トランスファゲートが介在される点である。

上記 n チャネル型 MOS トランジスタ 32-1 のゲート電極には動的終端制御端子 R E 1 からの制御信号が伝達される。また、p チャネル型 MOS トランジスタ 31-1 のゲート電極には、上記動的終端制御端子 R E からの制御信号がインバータ 33-1 を介して伝達される。上記 n チャネル型 MOS トランジスタ 32-2 のゲート電極には動的終端制御端子 R E 2 からの制御信号が伝達される。また、p チャネル型 MOS

Sトランジスタ31-2のゲート電極には、上記動的終端制御端子RE2からの制御信号がインバータ33-2を介して伝達される。抵抗13-1と抵抗13-2とは、ボードシステム12におけるボード上の配線抵抗に近い値とされる。例えばボード上の配線抵抗が150Ωとされる
5 とき、抵抗31-1は100Ωとされ、抵抗31-2は200Ωとされる。動的終端抵抗制御端子RE1, RE2から与えられる動的終端抵抗制御信号によって、抵抗13-1と抵抗13-2と選択的に回路動作に関与させることができるため、ボードシステムでの環境に応じて抵抗13-1と抵抗13-2と選択的に回路動作に関与させることができる。

10 尚、動的終端抵抗制御端子RE1, RE2に供給される動的終端抵抗制御信号は、ボードシステム12上のディップスイッチやマイクロコンピュータにより設定可能なレジスタによって形成することができる。

第5図には、上記出力回路1212, 1221, 1231の構成例が示される。

15 pチャネル型MOSトランジスタ56と、nチャネル型MOSトランジスタ57とが直列接続されて第1出力回路が形成され、pチャネル型MOSトランジスタ58とnチャネル型MOSトランジスタ59とが直列接続されて第2出力回路が形成される。上記第1出力回路(56, 57)は、駆動力が比較的大きく設定される。上記第2出力回路(58, 20 59)は、上記第1出力回路(56, 57)に比べて駆動力が小さく設定される。駆動力の設定は、MOSトランジスタのゲート幅とゲート長の比によって調整することができる。上記pチャネル型MOSトランジスタ56, 58のソース電極は高電位側電源VCCに結合され、nチャネル型MOSトランジスタ57, 59のソース電極は低電位側電源VSSに結合される。pチャネル型MOSトランジスタ56とnチャネル型MOSトランジスタ57とのドレイン電極、及びpチャネル型MOSト

25

ランジスタ 58 と n チャンネル型 MOS トランジスタ 59 とのドレイン電極が、出力パッド 62 に共通接続されることによって、出力ノード 50 が形成される。出力ノード 50 は、図示しない外部端子に結合される。

出力ノード 50 が不所望な電圧レベルになるのを防止するため、出力
5 ノード 50 と高電位側電源 VCC との間に、ダイオード接続された p チャンネル型 MOS トランジスタ 60 が設けられ、出力ノード 50 と低電位側電源 VSS との間に、ダイオード接続された n チャンネル型 MOS トランジスタ 61 が設けられる。

、上記出力ノード 50 の信号レベルは、レベルモニタ回路 54、55 に
10 伝達される。レベルモニタ回路 54 は、出力ノード 50 の信号レベルに基づいて p チャンネル型 MOS トランジスタ 56、58 の動作を制御する。レベルモニタ回路 55 は、出力ノード 50 の信号レベルに基づいて p チャンネル型 MOS トランジスタ 57、59 の動作を制御する。特に制限されないが、レベルモニタ回路 54、55 は、出力ノード 50 の電圧レベルが VCC/2 になるまでは、駆動力の大きな MOS トランジスタ 56、
15 57 を負荷駆動のための回路動作に関与させ、出力ノード 50 の電圧レベルが VCC/2 を越えた後は、駆動力の小さな MOS トランジスタ 58、59 を負荷駆動のための回路動作に関与させる。

上記レベルモニタ回路 54、55 の前段には、ノア回路 51、インバ
20 ータ 52、ナンド回路 53 が設けられる。ノア回路 51 では、内部回路から出力された信号 I と、アウトプットイネーブル信号 OE* (*はローアクティブを意味する) とのノア論理が得られる。ノア回路 51 の出力信号 A2 は、後段のレベルモニタ回路 55 に伝達される。また、アウトプットイネーブル信号 OE* がインバータ 52 で反転され、この反転
25 出力信号と、内部回路から出力された信号 I とのナンド論理がナンド回路 53 で得られる。このナンド回路 53 の出力信号 A1 は、後段のレベ

ルモニタ回路 5 4 に伝達される。これにより、アウトプットイネーブル信号 OE^* がローレベルにアサートされた状態で、信号 I の論理に応じた信号出力が可能とされる。

第 6 図には、上記レベルモニタ回路 5 4 の構成例が示される。

- 5 レベルモニタ回路 5 4 は、特に制限されないが、第 6 図に示されるように、インバータ 5 4 1, 5 4 2、オア回路 5 4 3, 5 4 4 が結合されて成る。出力ノード 5 0 の信号の論理がインバータ 5 4 1 で反転され、このインバータ 5 4 1 の出力信号の論理が、後段のインバータ 5 4 2 で反転される。そして、第 5 図に示されるナンド回路 5 3 の出力信号 A_1
- 10 と、上記インバータ 5 4 1 の出力信号とのオア論理がオア回路 5 4 3 で得られ、このオア回路 5 4 3 の出力信号によって p チャネル型 MOS トランジスタ 5 8 が動作制御される。また、上記ナンド回路 5 3 の出力信号 A_1 と、インバータ 5 5 2 の出力信号とのオア論理がオア回路 5 5 4
- 15 で得られ、このノア回路 5 5 4 の出力信号によって p チャネル型 MOS トランジスタ 5 6 が動作制御される。 $VCC = 3.3V$ とするとき、上記インバータ 5 4 1, 5 4 2 の論理しきい値は、 $(VCC/2) \sim 2.0V$ に設定される。かかる構成において、出力ノード 5 0 がローレベルからハイレベルに遷移される場合には、その遷移の前半では、駆動力の大きな p チャネル型 MOS トランジスタ 5 6 が導通されるため、外部負荷は大電流駆動される。それに対して、上記遷移の後半では、p チャネル型 MOS トランジスタ 5 6 に代えて、駆動力の小さな p チャネル型 MOS トランジスタ 5 8 が導通されるため、外部負荷は小電流駆動される。
- 20

第 7 図には、上記レベルモニタ回路 5 5 の構成例が示される。

- 25 レベルモニタ回路 5 5 は、特に制限されないが、第 7 図に示されるように、インバータ 5 5 1, 5 5 2、及びアンド回路 5 5 3, 5 5 4 が結合されて成る。出力ノード 5 0 の信号の論理がインバータ 5 5 1 で反転

され、このインバータ 5 5 1 の出力信号の論理が、後段のインバータ 5 5 2 で反転される。そして、第 5 図に示されるノア回路 5 1 の出力信号 A 2 と、上記インバータ 5 5 2 の出力信号とのアンド論理がアンド回路 5 5 3 で得られ、このアンド回路 5 5 3 の出力信号によって p チャネル型 MOS トランジスタ 5 7 が動作制御される。また、上記ナンド回路 5 3 の出力信号 A 1 と、インバータ 5 5 1 の出力信号とのアンド論理がアンド回路 5 5 4 で得られ、このアンド回路 5 5 4 の出力信号によって p チャネル型 MOS トランジスタ 5 9 が動作制御される。VCC = 3.3 V とするとき、上記インバータ 5 5 1, 5 5 2 の論理しきい値は、0.8 ~ (VCC / 2) V に設定される。かかる構成において、出力ノード 5 0 がハイレベルからローレベルに遷移される場合には、その遷移の前半では、駆動力の大きな p チャネル型 MOS トランジスタ 5 7 が導通されるため、外部負荷は大電流駆動される。それに対して、上記遷移の後半では、p チャネル型 MOS トランジスタ 5 7 に代えて、駆動力の小さな p チャネル型 MOS トランジスタ 5 9 が導通されるため、外部負荷は小電流駆動されることで反射波の低減が図られる。

第 1 3 図には、第 5 図に示される回路における出力ノード 5 0 の電圧と、出力インピーダンスとの関係が示される。出力ノード 5 0 の電圧が 0 V から 0.8 V 付近まで出力インピーダンスが上昇され、出力ノード 5 0 の電圧が 0.8 V 付近で急激に低下されてから再び出力ノード 5 0 の電圧の上昇に伴って出力インピーダンスが上昇される。出力ノード 5 0 の電圧が 0 V (= VSS) の場合と、3.3 V (= VCC) の場合に出力インピーダンスがほぼ 50 Ω とされる。上記出力インピーダンスの急激な低下は、MOS トランジスタ 5 6, 5 7 と MOS トランジスタ 5 8, 5 9 との切り換えに起因する。

第 8 図には、上記出力回路 1 2 1 2, 1 2 2 1, 1 2 3 1 の別の構成

例が示される。

第 8 図に示される構成が、第 5 図に示されるのと大きく相違するのは、駆動力が大きな n チャネル型 MOS トランジスタ 5 7 を高電位側電源 VCC 側に配置し、駆動力が大きな p チャネル型 MOS トランジスタ 5 6 低電位側電源 VSS 側に配置した点、及びレベルモニタ回路 5 4, 5 5 に代えてインバータ 6 3, 6 4 を設けた点である。インバータ 6 3 は、ナンド回路 5 3 の出力信号の論理を反転する。このインバータ 6 3 の出力信号によって n チャネル型 MOS トランジスタ 5 7 が動作制御される。インバータ 6 4 は、ノア回路 5 1 の出力信号の論理を反転する。このインバータ 6 4 の出力信号によって p チャネル型 MOS トランジスタ 5 6 が動作制御される。

上記の構成において、出力ノード 5 0 の電圧レベルがローレベル (VSS レベル) からハイレベル (VCC) レベルに駆動される場合を考える。この場合、出力ノード 5 0 の電圧レベルが VSS レベルから VCC - V_{th} (V_{th} は MOS トランジスタ 5 7 のしきい値) になるまでは、駆動力が大きな n チャネル型 MOS トランジスタ 5 7 と、駆動力の小さな p チャネル型 MOS トランジスタ 5 8 との双方が導通されることで負荷駆動が行われる。そして、出力ノード 5 0 の電圧レベルが VCC レベルから VCC - V_{th} になった時点で、n チャネル型 MOS トランジスタ 5 7 がそれまでの導通状態から非導通状態に遷移され、それ以降は、駆動力が小さな p チャネル型 MOS トランジスタ 5 8 によって負荷駆動が行われる。

次に、出力ノード 5 0 の電圧レベルがハイレベル (VCC レベル) からローレベル (VSS) レベルに駆動される場合を考える。この場合、出力ノード 5 0 の電圧レベルが VCC レベルから VSS + V_{th} (V_{th} は MOS トランジスタ 5 6 のしきい値) になるまでは、駆動力が大きな

なpチャネル型MOSトランジスタ56と、駆動力の小さなnチャネル型MOSトランジスタ59との双方が導通されることで負荷駆動が行われる。そして、出力ノード50の電圧レベルがVCCレベルからVSS+V_{th}になった時点で、pチャネル型MOSトランジスタ56がそれまでの導通状態から非導通状態に遷移され、それ以降は、駆動力が小さなnチャネル型MOSトランジスタ59によって負荷駆動が行われる。

このように出力ノード50の遷移期間の前半においては、駆動力の大きなMOSトランジスタ57、56による負荷駆動が行われ、出力ノード50の遷移期間の後半においては、駆動力の小さなMOSトランジスタ58、59によって負荷駆動が行われるため、第5図に示される構成と同様の効果を得ることができる。さらに、第8図に示される構成では、レベルモニタ回路54、55が不要とされることから、第5図に示される構成の場合よりも素子数の低減を図ることができる。

第14図には、第8図に示される回路における出力ノード50の電位と出力インピーダンスとの関係が示される。第14図において、特性曲線141は、第8図に示される回路に対応し、特性曲線142は、負荷駆動において、駆動力の異なるMOSトランジスタの切り換えを行わない回路に対応する。駆動力の異なるMOSトランジスタの切り換えを行わない場合には、特性曲線142に示されるように、出力ノード50の電圧上昇に対して出力インピーダンスが徐々に上昇されるのに対して、駆動力の異なるMOSトランジスタの切り換えを行う場合には、このMOSトランジスタの切り換えをピークとして出力インピーダンスがなだらかに変化する特性を示す。

第9図には、上記入出力回路1213、1223、1233の別の構成例が示される。入出力バッファ1213、1223、1233は、そ

れぞれ入出力パッド 9 0 及び入出力ノード 1 1 0 0 を介して外部から信号を取り込むための入力部 9 1 と、入出力ノード 1 0 0 及び入出力パッド 9 0 を介して信号を外部出力するための出力部 9 2 とを含む。入力部 9 1 と出力部 9 2 とで入出力端子 9 0 が共有される。アウトプットイ

5 ネーブル信号 OE^* がローレベルにアサートされた期間では、入出力パッド 9 0 を介して信号の外部出力が可能とされる。アウトプットイネーブル信号 OE^* がハイレベルにネゲートされた期間では、出力部 9 2 は高インピーダンス状態とされ、入出力パッド 9 0 を介して信号の取り込みが可能とされる。入力部 9 1 には、第 1 図示されるのと同じ構成のもの

10 が適用され、出力部 9 2 には、第 8 図に示されるのと同じ構成のものが適用される。従って、入力部 9 1 においては、第 1 図に示される入力回路と同様の作用効果を得ることができ、出力部 9 2 は、第 8 図に示される出力回路と同様の作用効果を得ることができる。

第 1 0 図には、上記入出力回路 1 2 1 3, 1 2 2 3, 1 2 3 3 の別の

15 構成例が示される。第 1 0 図に示される入出力回路 1 2 1 3, 1 2 2 3, 1 2 3 3 が、第 9 図に示されるのと大きく相違するのは、入力部 9 1 における動的終端抵抗機能を、出力部 9 2 に持たせた点である。すなわち、pチャネル型 MOS トランジスタ 9 5 と nチャネル型 MOS トランジスタ 9 6 とが直列接続されて成るインバータが設けられ、このインバータの前段にマルチプレクサ 9 3 が設けられ、このマルチプレクサ 9 3 により信号伝達経路の切り換えが行われることにより、上記インバータ

20 (9 5, 9 6) を入力部 9 1 と出力部 9 2 とで共有するようにしている。上記マルチプレクサ 9 3 は、アウトプットイネーブル信号 OE^* によって動作制御される。

25 アウトプットイネーブル信号 OE^* がローレベルの場合に、インバータ 9 4 の出力信号がマルチプレクサ 9 3 を介して選択的に MOS トラ

ンジスタ 95, 96 のゲート電極に伝達される。上記インバータ 94 は、内部回路から出力された信号 I の論理を反転するために設けられる。この状態で、出力部 92 からの信号出力が可能とされる。

これに対して、アウトプットイネーブル信号 OE* がハイレベルの場合には、インバータ 11 の出力信号 CIN がマルチプレクサ 93 を介して選択的に MOS トランジスタ 95, 96 に伝達される。MOS トランジスタ 95, 96 の出力信号は、入出力ノード 100 を介してインバータ 11 に伝達される。このとき、第 9 図における抵抗 13 の機能は、インバータ (95, 96) の出力抵抗及び入出力ノード 100 の配線抵抗によって実現される。このとき、MOS トランジスタ 95, 96 のオン抵抗と、入出力ノード 100 の配線抵抗との合成値は、ボードシステム 12 におけるプリント配線の抵抗値にほぼ等しくなるように設定される。

上記の構成において、アウトプットイネーブル信号 OE* がハイレベルにネゲートされている期間において、入出力パッド 90 を介して取り込まれた入力信号が遷移される直前までは、インバータ 11 の入力端子における論理と、インバータ (95, 96) の出力端子における論理とが等しい。ここで、インバータ 11 の入力端子における論理と、インバータの出力端子の論理をハイレベルとする。この状態で、入出力パッド 90 を介して取り込まれた入力信号がローレベルからハイレベルに遷移される場合を考える。入出力パッド 90 を介して取り込まれた入力信号がローレベルからハイレベルに遷移されるとき、インバータ 11 やインバータ (95, 96) での信号遅延により、インバータ (95, 96) の出力ノードがローレベルからハイレベルに遷移されるタイミングが遅れる。この信号遅延により、入力出力パッド 90 での入力信号がローレベルからハイレベルに遷移されるときには、インバータ (95, 96)

の出力端子がローレベルのままとされており、この場合、入出力パッド 90 から見たインピーダンスは、nチャネル型MOSトランジスタ 96 のオン抵抗や入出力ノード 100 の配線抵抗値の合成値によって決定される。nチャネル型MOSトランジスタ 96 のオン抵抗や入出力ノード 100 の配線抵抗値の合成値は、ボードシステム 12 におけるプリント配線の抵抗値にほぼ等しくなるように設定されているから、このとき、入出力パッド 90 から見たインピーダンスは、第 12 図に示されるボードシステム 12 におけるプリント配線の抵抗値にほぼ等しくなり、インピーダンスが整合される。そして、インバータ (95, 96) の出力ノードがローレベルからハイレベルに遷移されると、インバータ 11 の入力端子とインバータ (95, 96) の出力端子との論理が互いに等しくなるため、入出力パッド 90 から見たインピーダンスは、インバータ 11 の入力インピーダンスにほぼ等しくなる。

このように、入力信号遷移の過渡期には、入力インピーダンスが、第 12 図に示されるボードシステム 12 におけるプリント配線の抵抗値にほぼ等しくされることでインピーダンスが整合されることから、伝送路に出力された信号が入力回路で反射されることに起因する反射波が低減される。また、入力信号の遷移時以外においては、入力インピーダンスが高くされることにより、そこでの直流電流の消費が低く抑えられる。

また、pチャネル型MOSトランジスタ 95 と nチャネル型MOSトランジスタ 96 とが直列接続されて成るインバータが設けられ、このインバータの前段にマルチプレクサ 93 が設けられ、このマルチプレクサ 93 により信号伝達経路の切り換えが行われることにより、上記インバータ (95, 96) を入力部 91 と出力部 92 とで共有するようにしているため、第 9 図に示される構成に比べて、入力部 91 の占有面積の低

減を図ることができる。

第 1 1 図には、上記入出力回路 1 2 1 3, 1 2 2 3, 1 2 3 3 の別の構成例が示される。第 1 1 図に示される入出力回路 1 2 1 3, 1 2 2 3, 1 2 3 3 が、第 1 0 図に示されるのと大きく相違するのは、p チャネル型 MOS トランジスタ 5 8 と n チャネル型 MOS トランジスタ 5 9 とが直列接続されて成る出力回路が設けられている点である。この p チャネル型 MOS トランジスタ 5 8 と n チャネル型 MOS トランジスタ 5 9 とが直列接続されて成る出力回路は、第 8 図や第 9 図に示されるのと同じ機能を有する。

p チャネル型 MOS トランジスタ 6 8 のソース電極は高電位側電源 V C C に結合され、n チャネル型 MOS トランジスタ 5 9 のソース電極は低電位側電源 V S S に結合される。p チャネル型 MOS トランジスタ 5 8 と n チャネル型 MOS トランジスタ 5 9 とが直列接続箇所は、入出力ノード 1 0 0 に結合される。p チャネル型 MOS トランジスタ 5 8 は、ナンド回路 5 3 の出力信号によって動作制御される。n チャネル型 MOS トランジスタ 5 9 は、ノア回路 5 1 の出力信号によって動作制御される。

次に、第 1 5 図及び第 1 6 図を参照しながら、本願発明者によって行われたシミュレーションの結果について説明する。第 1 5 図はハイレベルからローレベルに遷移された場合の特性図、第 1 6 図はローレベルからハイレベルに遷移させた場合の特性図である。第 1 5 図及び第 1 6 図において、特性曲線 1 5 1, 1 6 1 は、第 5 図に示される出力回路から第 1 図に示される入力回路に信号を伝達した場合、特性曲線 1 5 2, 1 6 2 は、第 5 図に示される出力回路から単なるインバータによる入力回路（第 1 図において抵抗 1 3 を省略したものに相当）に信号を伝達した場合、特性曲線 1 5 3, 1 6 3 は、駆動力切り換えを行わない従来回路

から、第 1 図に示される入力回路に信号を伝達した場合、特性曲線 1 5 4, 1 6 4 は、駆動力の切り換えを行わない従来回路から単なるインバータによる入力回路（第 1 図において抵抗 1 3 を省略したものに相当）に信号を伝達した場合である。第 1 5 図及び第 1 6 図から明らかなように、第 1 図に示される入力回路又は第 5 図に示される出力回路を使うことにより、リングングが低下される。第 1 図に示される入力回路及び第 5 図に示される出力回路の双方を使うことにより、リングングが更に低下される。

上記実施例によれば以下の作用効果が得られる。

（1）入力回路 1 2 1 1, 1 2 2 2, 1 2 3 2 において、入力信号遷移時の入力インピーダンスが入力信号遷移時以外の入力インピーダンスよりも小さくなるように設定されることにより、入力信号遷移時における反射波を低減する。

（2）第 2 図に示されるように、インバータ 1 1 の出力信号の論理を反転するためのインバータ 1 5 を設け、このインバータ 1 5 を介して内部回路へ信号 C I N を伝達することにより、インバータ 1 2 の出力端子側に寄生容量 1 4 が存在しても、インバータ 1 2, 1 5 の存在によって隔絶されるため、寄生容量 1 4 によって内部回路が影響されないで済む。

（3）第 3 図に示されるように、抵抗 1 3 と、第 2 インバータ 1 2 の出力端子との間に、p チャネル型 MOS トランジスタ 3 1 と n チャネル型 MOS トランジスタ 3 2 とが並列接続されて成る CMOS トランジスタが介在されることにより、抵抗 1 3 の回路動作への関与を動的終端制御端子から制御することができる。

（4）第 4 図に示されるように、抵抗 1 3 - 1, 1 3 - 2 が設けられ、抵抗 1 3 - 1 と、第 2 インバータ 1 2 の出力端子との間に、p チャネル型 MOS トランジスタ 3 1 - 1 と n チャネル型 MOS トランジスタ 3

2-1 とが並列接続されて成る CMOS トランスファゲートが介在され、抵抗 13-2 と、第 2 インバータ 12 の出力端子との間に、p チャネル型 MOS トランジスタ 31-2 と n チャネル型 MOS トランジスタ 32-2 とが並列接続されて成る CMOS トランスファゲートが介在されることにより、動的終端抵抗制御端子 RE1, RE2 から与えられる動的終端抵抗制御信号によって、抵抗 13-1 と抵抗 13-2 と選択的に回路動作に関与させることができるため、ボードシステムでの環境に応じて抵抗 13-1 と抵抗 13-2 と選択的に回路動作に関与させることができる。

10 (5) 出力回路において、信号遷移の後半での駆動力が遷移の前半での駆動力よりも低めに設定されることで、反射波の発生を抑えることができる。このように反射波が低減されることにより、インピーダンス整合のためのダンピング抵抗や終端抵抗などの外付け部品が不要とされる。

15 (6) 第 8 図に示されるように、駆動力が大きな n チャネル型 MOS トランジスタ 57 を高電位側電源 VCC 側に配置し、駆動力が大きな p チャネル型 MOS トランジスタ 56 低電位側電源 VSS 側に配置した点、及びレベルモニタ回路 54, 55 に代えてインバータ 63, 64 を設けることにより、遷移期間の前半においては、駆動力の大きな MOS トランジスタ 57, 56 による負荷駆動が行われ、出力ノード 50 の遷移期間の後半においては、駆動力の小さな MOS トランジスタ 58, 59 によって負荷駆動が行われる。この回路構成では、レベルモニタ回路 54, 55 が不要とされることから、第 5 図に示される構成の場合よりも素子数の低減を図ることができる。

25 (7) 第 10 図に示されるように、p チャネル型 MOS トランジスタ 95 と n チャネル型 MOS トランジスタ 96 とが直列接続されて成るインバータが設けられ、このインバータの前段にマルチプレクサ 93 が

設けられ、このマルチプレクサ 9 3 により信号伝達経路の切り換えが行われることにより、上記インバータ（9 5，9 6）を入力部 9 1 と出力部 9 2 とで共有することにより、入力部 9 1 の占有面積の低減化を図ることができる。

- 5 以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

産業上の利用可能性

- 10 本発明は、半導体集積回路に広く適用することができる。

請 求 の 範 囲

1. 信号を取り込むための入力回路と、信号を出力するための出力回路と、を含む半導体集積回路であって、

5 上記入力回路は、入力信号遷移時の入力インピーダンスが、入力信号遷移時以外の入力インピーダンスよりも小さくなるように設定され、

 上記出力回路は、信号遷移の後半での駆動力が遷移の前半の駆動力よりも低め設定されて成ることを特徴とする半導体集積回路。

2. 上記入力回路と上記出力回路とは、信号の入出力を可能とするパッド
10 に共通接続されて成る請求の範囲第1項に記載の半導体集積回路。

3. 入力パッドと、上記入力パッドを介して外部からの信号を取り込むための入力回路とを含む半導体集積回路であって、

 上記入力回路は、入力信号遷移時の入力インピーダンスが、入力信号遷移時以外の入力インピーダンスよりも小さくなるように調整可能な
15 動的終端抵抗回路を含むことを特徴とする半導体集積回路。

4. 上記動的終端抵抗回路は、上記入力パッドを介して伝達された信号の論理を反転するための第1論理回路と、

 上記第1論理回路の出力信号の論理を反転するための第2論理回路と、

20 上記第1論理回路の入力端子と上記第2論理回路の出力端子とを結合可能な抵抗と、を含んで成る請求の範囲第3項に記載の半導体集積回路。

5. 上記動的終端抵抗回路は、上記入力パッドを介して伝達された信号の論理を反転するための第1論理回路と、

25 上記第1論理回路の出力信号の論理を反転するための第2論理回路と、

上記第 1 論理回路の入力端子と上記第 2 論理回路の出力端子とを結合可能な抵抗と、

上記第 1 論理回路の出力信号を内部回路へ伝達するための第 3 論理回路と、を含んで成る請求の範囲第 3 項に記載の半導体集積回路。

5 6. 上記抵抗の回路動作への関与を制御可能なスイッチ回路を含む請求の範囲第 4 項又は第 5 項に記載の半導体集積回路。

7. 上記動的終端抵抗回路は、上記入力パッドを介して伝達された信号の論理を反転するための第 1 論理回路と、

10 上記第 1 論理回路の出力信号の論理を反転するための第 2 論理回路と、

上記第 1 論理回路の入力端子と上記第 2 論理回路の出力端子とを結合可能な複数の抵抗と、

15 上記複数の抵抗を選択的に回路動作に関与させるためのスイッチ回路と、を含んで成る請求の範囲第 4 項又は第 5 項に記載の半導体集積回路。

8. 内部回路と、上記内部回路の出力信号を外部出力可能な出力回路とを含む半導体集積回路であって、

上記出力回路は、出力すべき信号の遷移の前半に、上記内部回路の出力信号に基づいて外部負荷を駆動可能な第 1 出力回路と、

20 上記第 1 出力回路に比べて駆動力が小さく設定され、上記外部負荷を駆動可能な第 2 出力回路と、

を含むことを特徴とする半導体集積回路。

25 9. 上記外部負荷の電圧レベルに応じて、上記第 1 出力制御回路と上記第 2 出力回路とを選択的に回路動作に関与させるためのレベルモニタ回路を含む請求の範囲第 8 項に記載の半導体集積回路。

10. 上記第 2 出力回路は、高電位側電源側に配置された n チャネル型

トランジスタと、低電位側電源側に配置されたpチャネル型トランジスタとの直列接続回路を含み、nチャネル型トランジスタとpチャネル型トランジスタとの直列接続ノードが上記第1出力回路の出力ノードに結合されて成る請求の範囲第8項に記載の半導体集積回路。

- 5 11. 入力信号遷移時の入力インピーダンスが、入力信号遷移時以外の入力インピーダンスよりも小さくなるように設定された入力部と、

信号遷移の後半での駆動力が遷移の前半での駆動力よりも低めに設定されて成る出力部と、を含み、

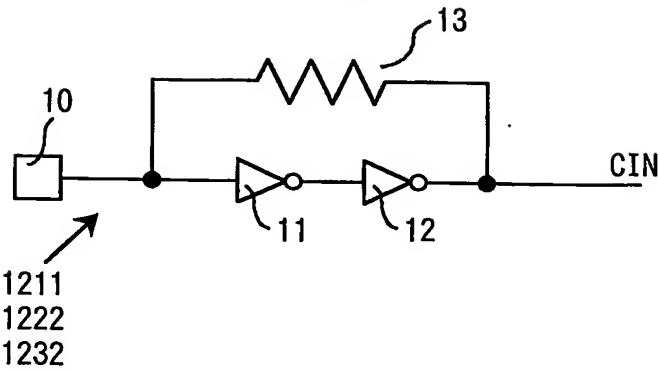
- 10 上記出力部は、出力すべき信号の遷移の前半に、上記内部回路の出力信号に基づいて外部負荷を駆動可能な第1出力回路と、

上記第1出力回路に比べて駆動力が小さく設定され、上記外部負荷を駆動可能な第2出力回路と、を含み、

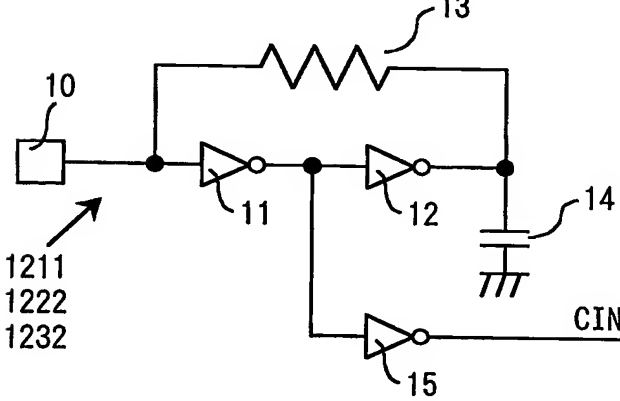
- 15 上記第2出力回路は、高電位側電源側に配置されたnチャネル型トランジスタと、低電位側電源側に配置されたpチャネル型トランジスタとの直列接続回路と、を含み、

上記nチャネル型トランジスタとpチャネル型トランジスタとの直列接続ノードが上記第1出力回路の出力ノードとともに上記入出力パッドに共通接続され、上記直列接続回路は上記入力部の一部として共用されることを特徴とする半導体集積回路。

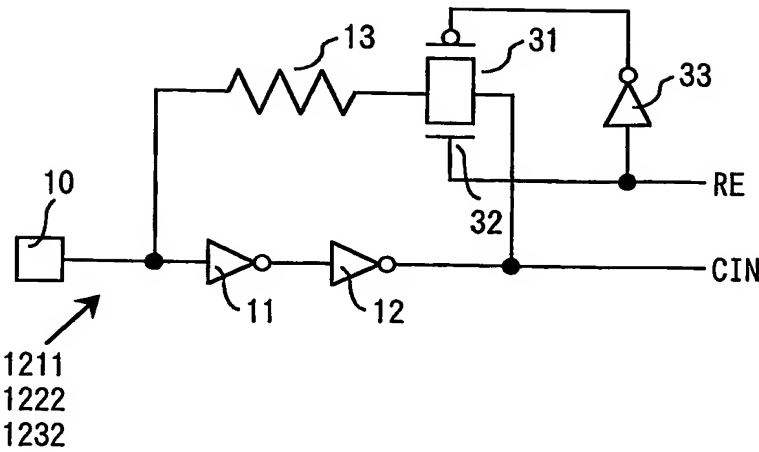
第 1 図



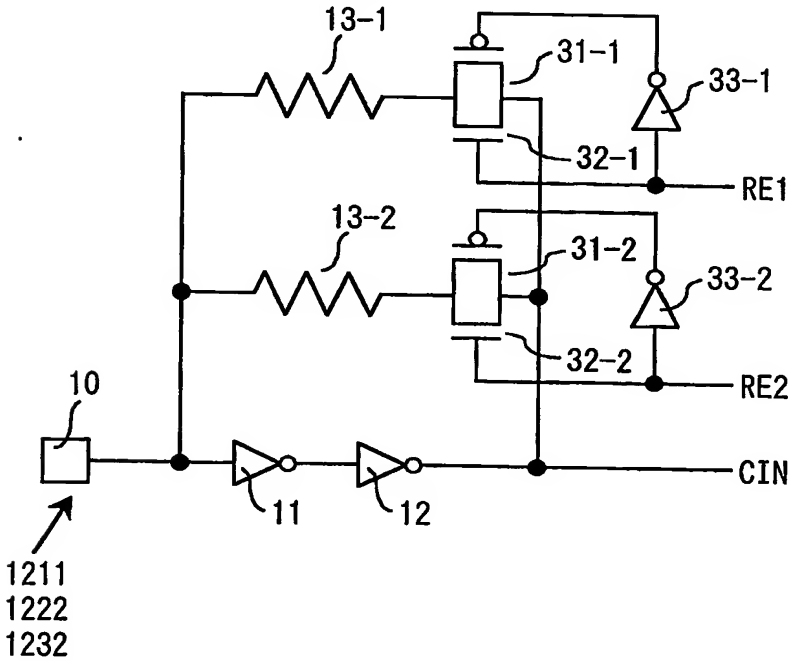
第 2 図



第 3 図

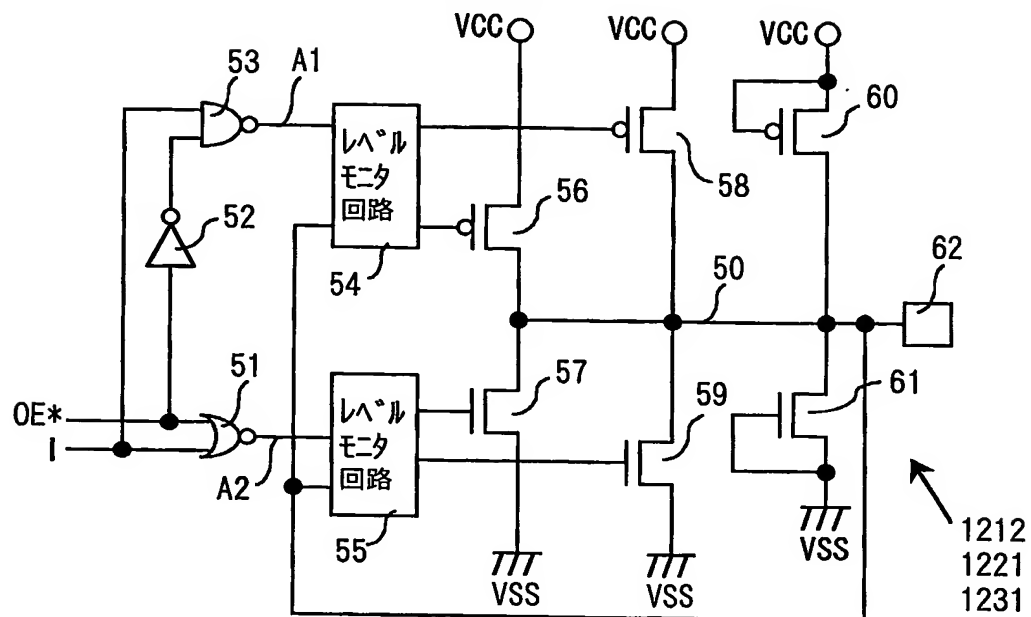


第 4 図

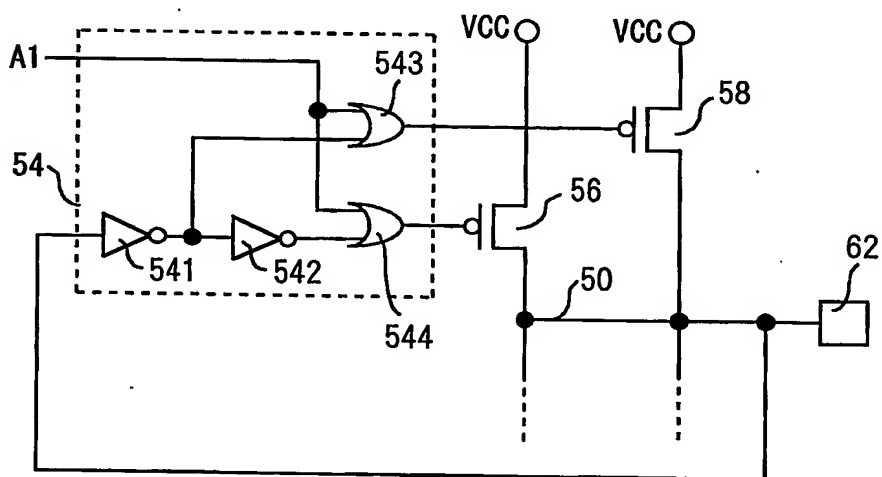


3/10

第5図

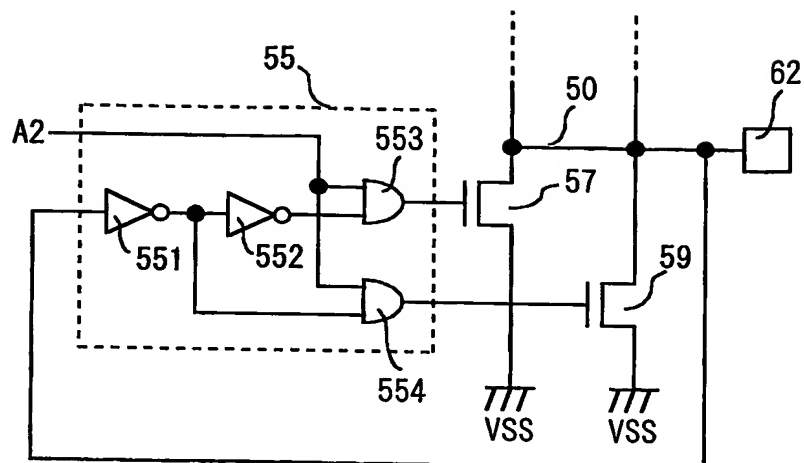


第6図

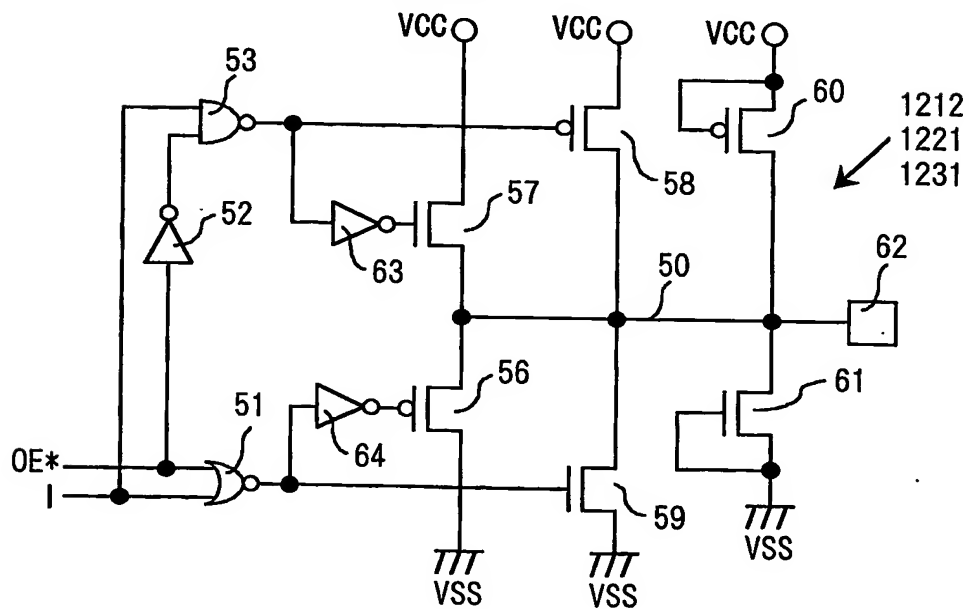


4/10

第7図

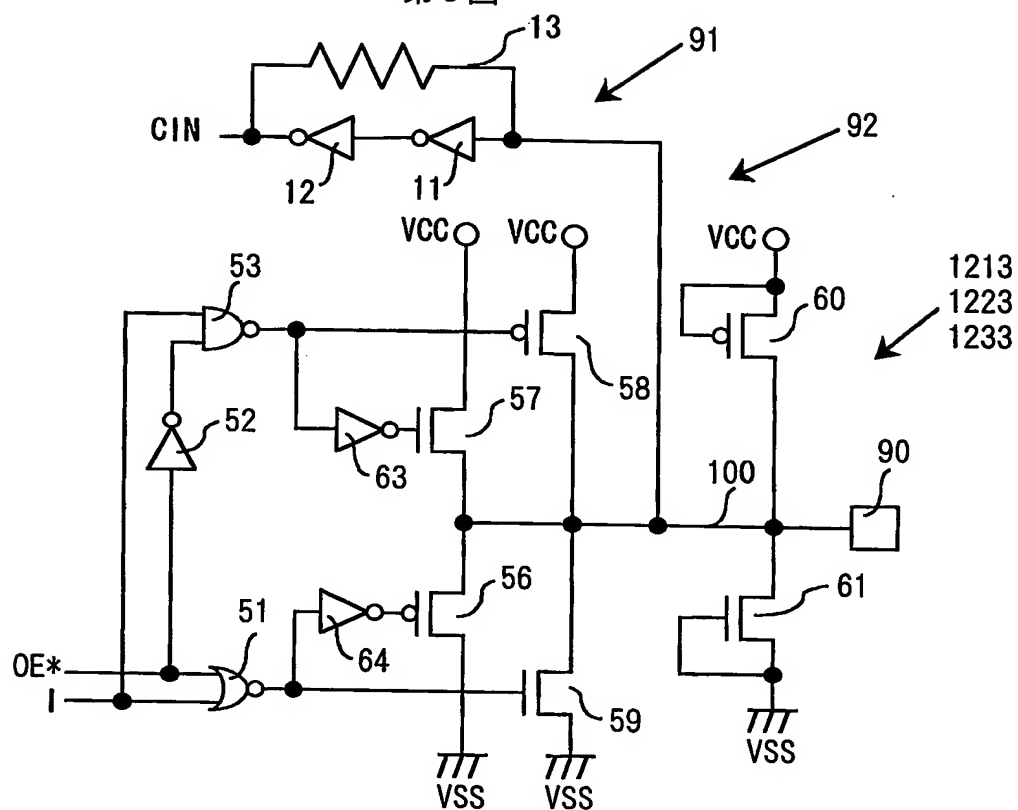


第8図

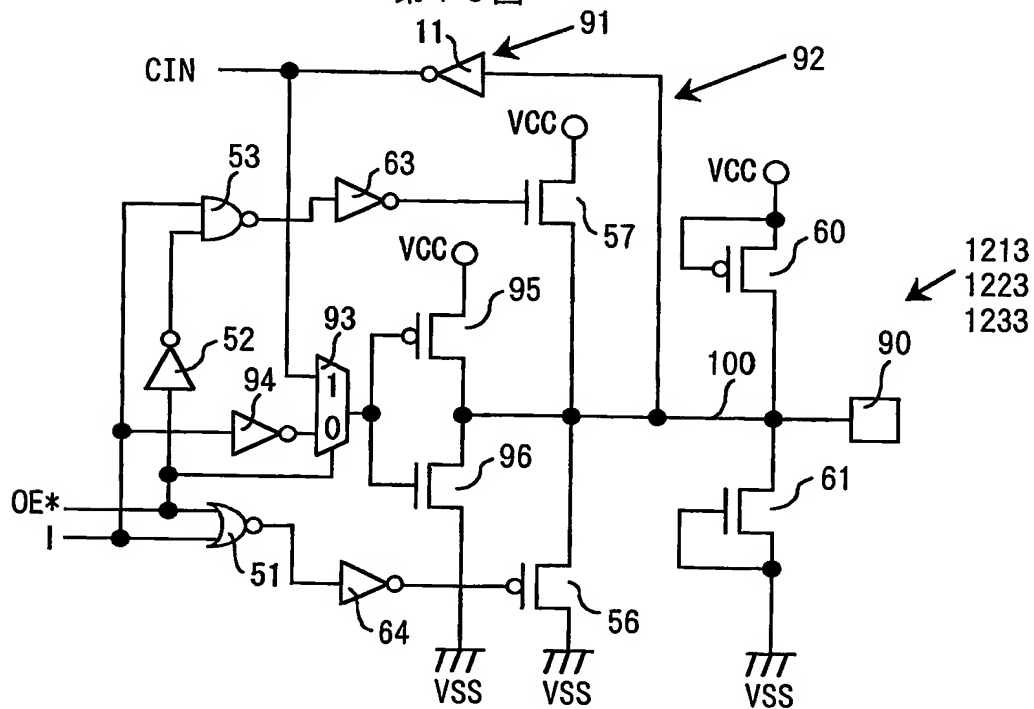


5 / 1 0

第9図

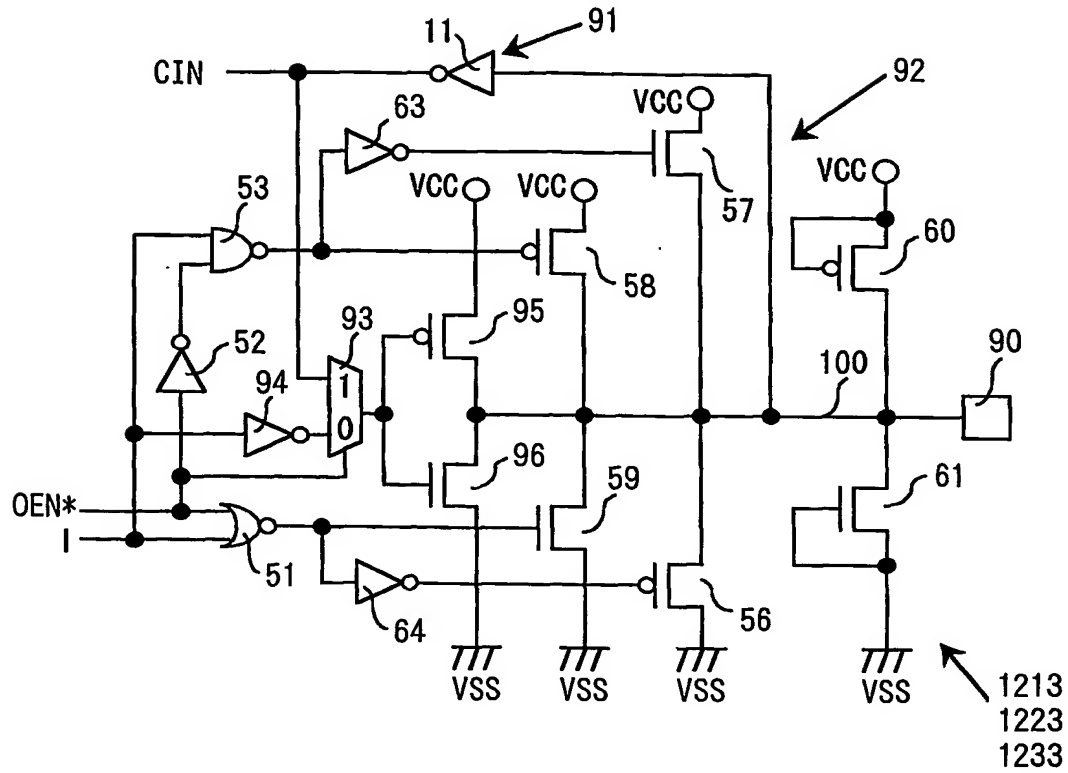


第10図

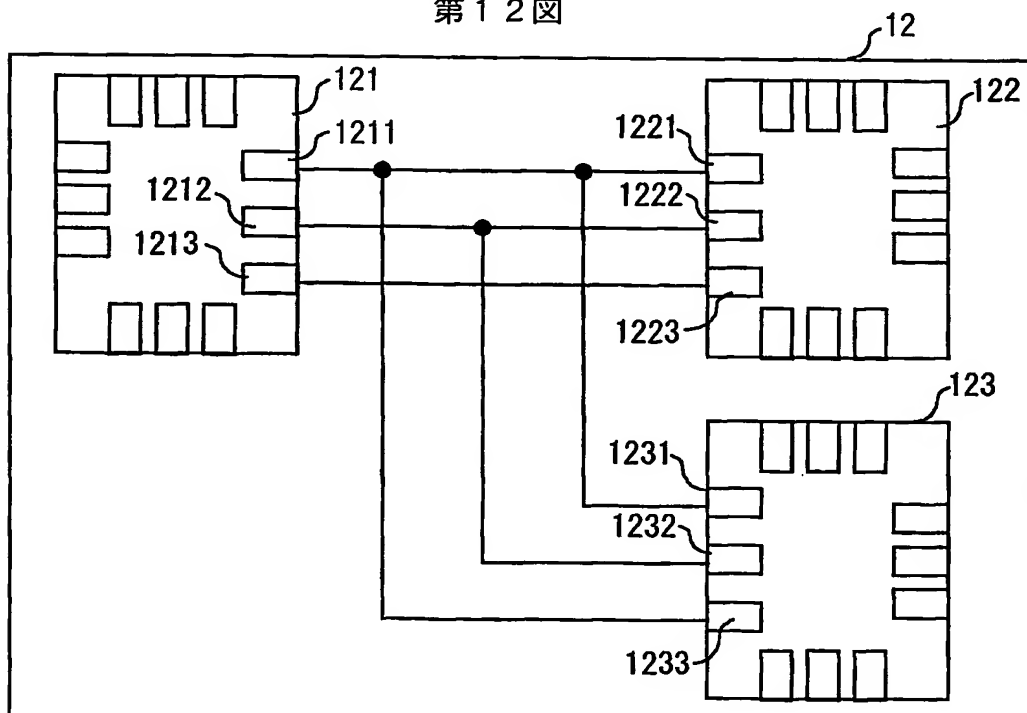


6 / 10

第 1 1 図

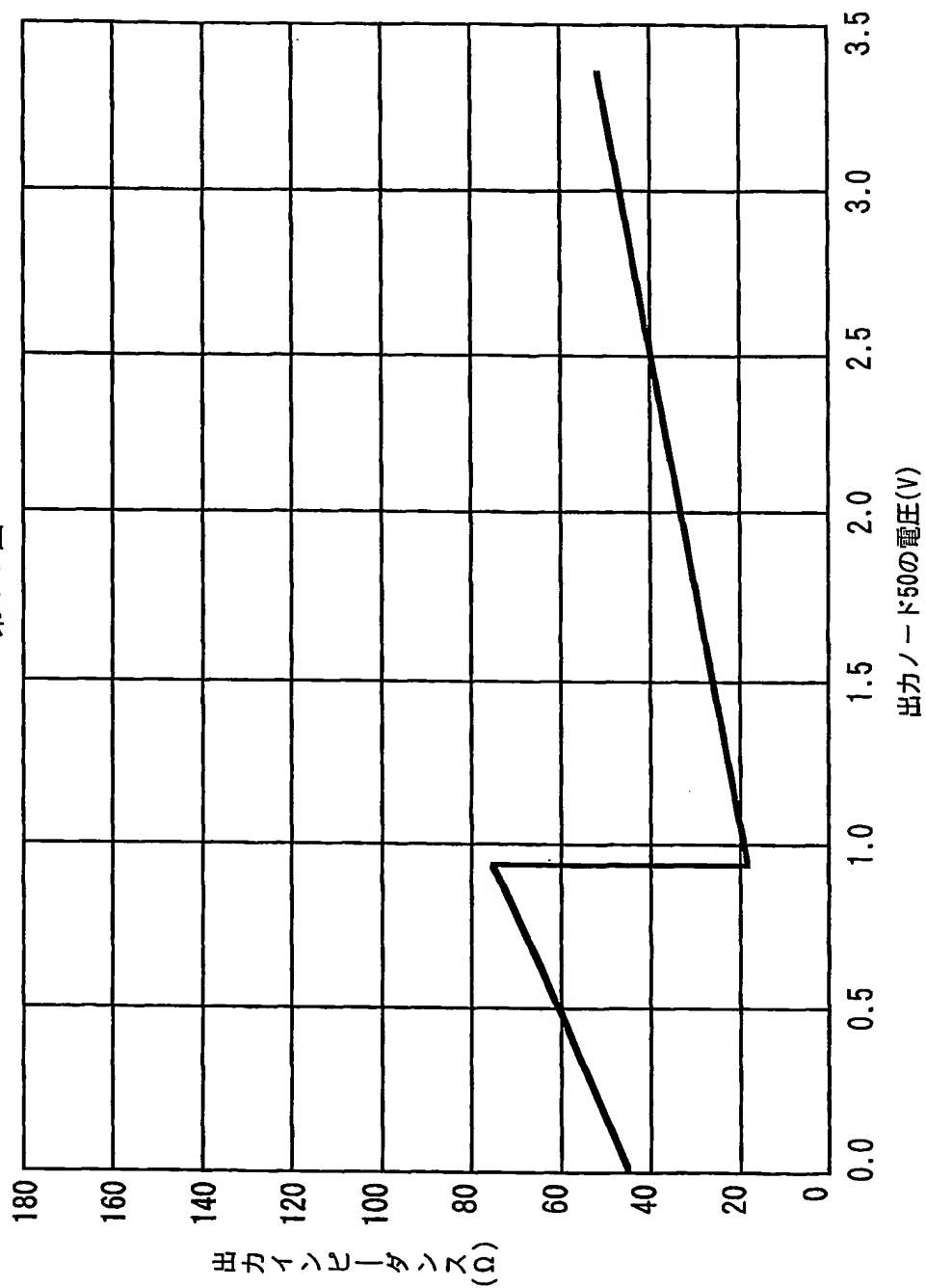


第 1 2 図



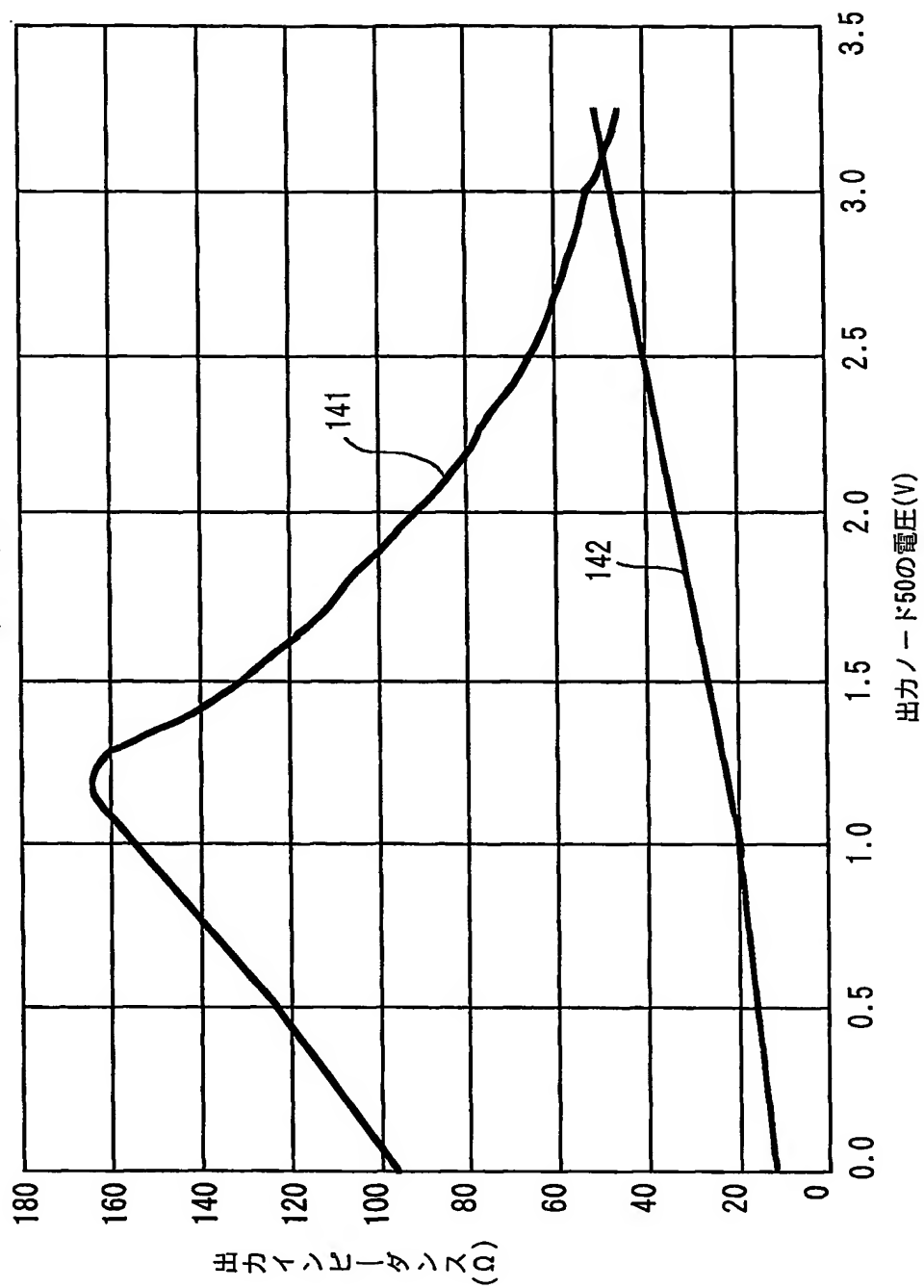
7/10

第13図



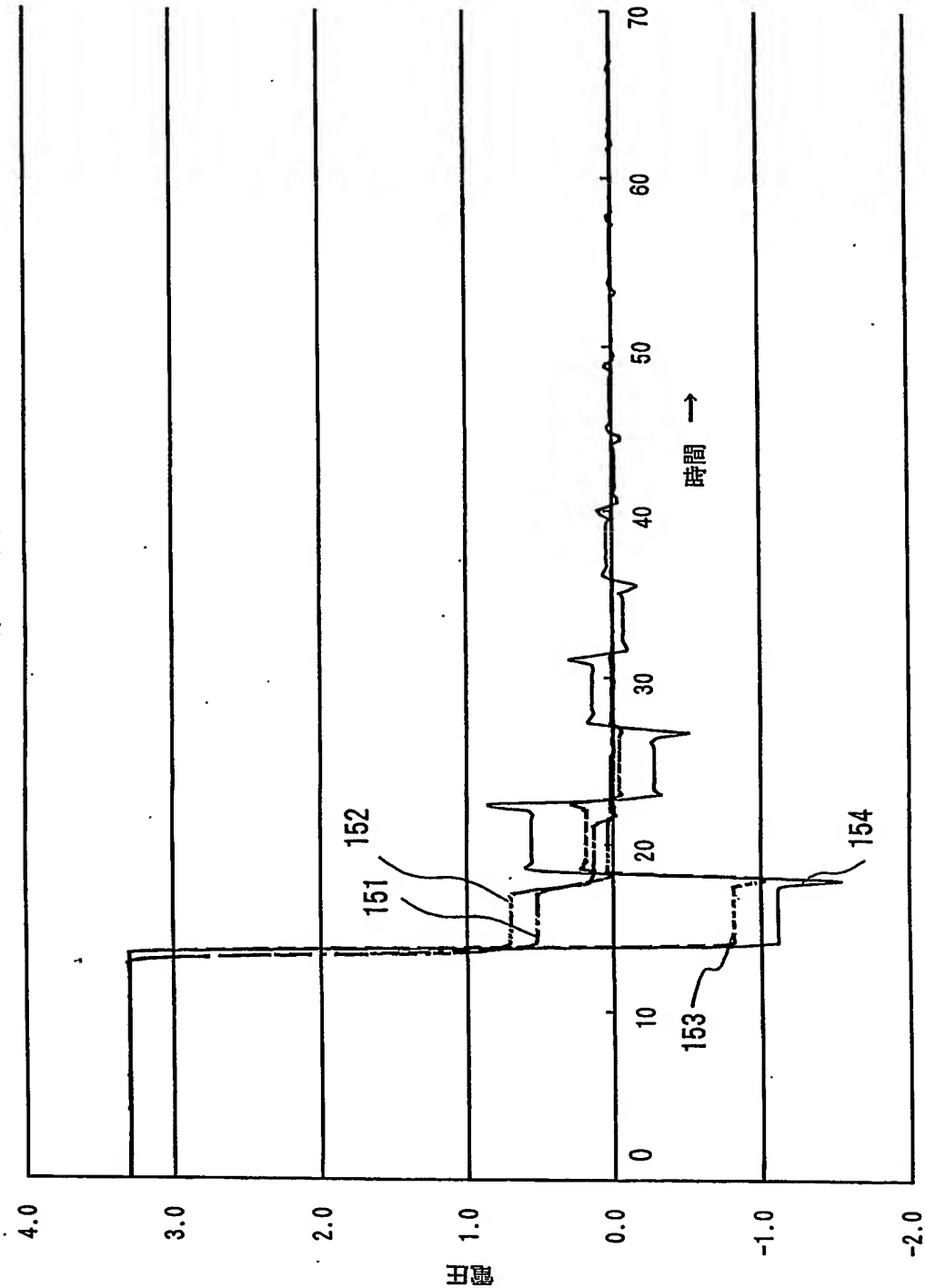
8 / 10

第14図

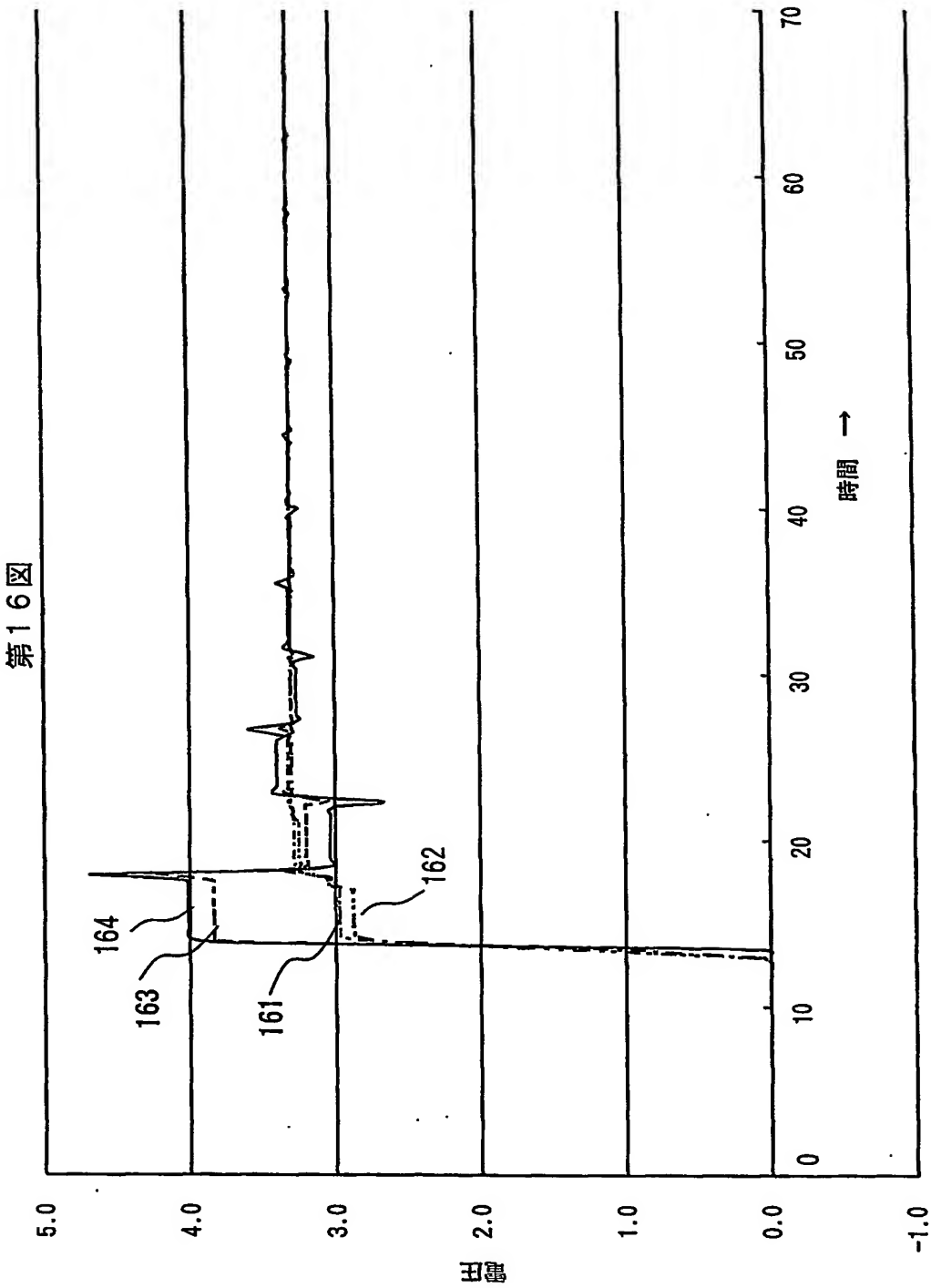


9/10

第15図



10/10



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/00403A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03K19/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03K19/00, H03K3/00Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho(Y1,Y2) 1926-2003 Toroku Jitsuyo Shinan Koho(U) 1994-2003
Kokai Jitsuyo Shinan Koho(U) 1971-2003 Jitsuyo Shinan Toroku Koho(Y2) 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	T. KAWAHARA, M. HORIGUCHI, J. ETOH, T. SEKIGUCHI, K. KIMURA, M. AOKI, "Low-Power Chip Interconnection by Dynamic Termination", IEEE J. of Solid-State Circuits, Vol.30, No.9, 30 September, 1995 (30.09.95), pages 1030 to 1034, Figs. 2, 3	3 1, 2 4-7, 11
X Y A	JP 2-235435 A (NEC Corp.), 18 September, 1990 (18.09.90), Fig. 1 (Family: none)	8, 9 1, 2 10, 11

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
21 April, 2003 (21.04.03)Date of mailing of the international search report
06 May, 2003 (06.05.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03K19/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03K19/00, H03K3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y1, Y2) 1926-2003

日本国公開実用新案公報 (U) 1971-2003

日本国登録実用新案公報 (U) 1994-2003

日本国実用新案登録公報 (Y2) 1996-2003

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	T. Kawahara, M. Horiguchi, J. Etoh, T. Sekiguchi, K. Kimura, M. Aoki, "Low-Power Chip Interconnection by Dynamic Termination", IEEE J. of Solid-State Circuits, Vol. 30, No. 9, 1995. 09. 30, p. 1030-1034, 第2, 3図参照	3 1, 2 4-7, 11
X Y A	JP 2-235435 A (日本電気株式会社), 1990. 09. 18, 第1図参照 (ファミリーなし)	8, 9 1, 2 10, 11

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

21. 04. 03

国際調査報告の発送日

06.05.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柳下 勝幸



5X

9561

電話番号 03-3581-1101 内線 3556